

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-023870
 (43)Date of publication of application : 25.01.2002

(51)Int.CI. G05F 3/24
 H04M 1/00

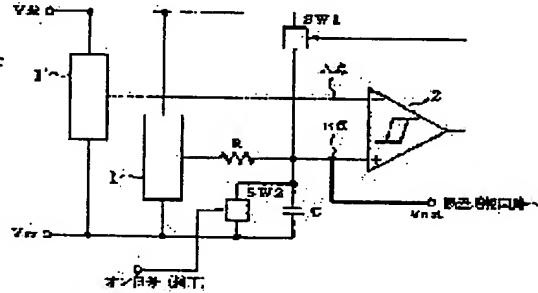
(21)Application number : 2000-207782 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 10.07.2000 (72)Inventor : MORINO KOICHI

(54) REFERENCE VOLTAGE CIRCUIT AND VOLTAGE REGULATOR USING THE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reference voltage circuit having low output noise characteristics capable of realizing low currents consumption, and shortening a rising/falling time and a voltage regulator using the reference voltage circuit.

SOLUTION: A voltage at an A point of a reference voltage circuit is compared with a voltage at a B point of the reference voltage circuit by a comparator 2, and when the voltage at the A point is higher than the voltage at the B point, a switch SW1 is turned on, and a capacitor C is quickly charged with charge. When charge is stored in the capacitor C, and the voltage at the A point is made equal to the voltage at the B point, the switch SW1 is turned off. Thus, the rising time of the reference voltage can be shortened, and a high speed operation can be performed even in the reference voltage circuit in which a ripple removing rate is improved by using a low pass filter. Also, the charge stored in the capacitor C is forcedly discharged through a switch SW2. Thus, it is possible to quickly decrease the output voltage of the reference voltage circuit, and to reduce current consumption as a result.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-23870

(P2002-23870A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl.⁷
G 0 5 F 3/24
H 0 4 M 1/00

識別記号

F I
G 0 5 F 3/24
H 0 4 M 1/00

テマコード(参考)
Z 5 H 4 2 0
A 5 K 0 2 7

審査請求 未請求 請求項の数 7 O.L (全 6 頁)

(21)出願番号 特願2000-207782(P2000-207782)

(22)出願日 平成12年7月10日 (2000.7.10)

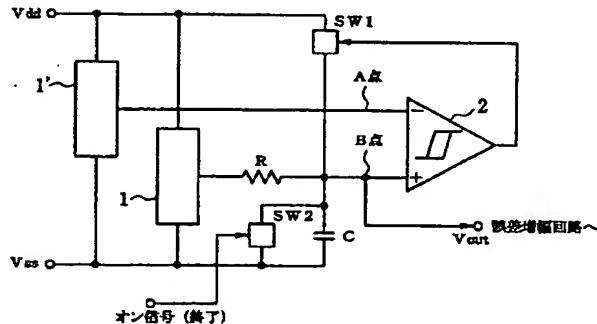
(71)出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(72)発明者 森野 航一
東京都大田区中馬込1丁目3番6号 株式
会社リコー内
(74)代理人 100077274
弁理士 磯村 雅俊 (外1名)
Fターム(参考) 5H420 NA31 NB02 NB22 NB26 NC03
NE26
5K027 AA11 BB01 BB17 GG02 MM04

(54)【発明の名称】 基準電圧回路および該基準電圧回路を用いたボルテージ・レギュレータ

(57)【要約】

【課題】 低消費電流で立ち上がり立ち下がり時間が短く低出力雑音特性をもつ基準電圧回路および該基準電圧回路を用いたボルテージ・レギュレータの提供。

【解決手段】 基準電圧回路のA点の電圧とB点の電圧を比較器2により比較し、A点の電圧がB点の電圧より高い場合にはスイッチSW1をオンし、容量Cに電荷を高速充電する。容量Cに電荷が蓄積されることによりA点の電圧とB点の電圧が等しくなるとスイッチSW1はオフする。これによって、ローパス・フィルタを用いてリップル除去率を改善した基準電圧回路においても、基準電圧の立ち上がり時間を短くでき、高速動作が可能になる。また容量Cに蓄積された電荷をスイッチSW2を通して強制的に放電するようにしている。これにより基準電圧回路の出力電圧を高速に低下させることができ、その結果、消費電流を削減することができる。



【特許請求の範囲】

【請求項1】 基準電圧源と、一方の入力端子に前記基準電圧源の出力が抵抗を介して接続され、他方の入力端子に前記基準電圧源または該基準電圧源とは別の基準電圧源の出力が接続された比較器と、
第1電源と第2電源の間に直列接続された充電用スイッチと容量とを有し、

前記比較器の出力を前記充電用スイッチの制御端子に接続し、前記充電用スイッチと容量の接続点を前記比較器の前記一方の入力端子に接続し、前記充電用スイッチと前記容量の接続点の電圧を出力基準電圧としたことを特徴とする基準電圧回路。

【請求項2】 前記充電用スイッチと容量の接続点と、前記第2電源との間に放電用スイッチを設けたことを特徴とする請求項1記載の基準電圧回路。

【請求項3】 前記充電用スイッチ、放電用スイッチ、抵抗、または容量を選択的に内蔵または外付けとしたことを特徴とする請求項1または2記載の基準電圧回路。

【請求項4】 前記抵抗または容量を調整可能としたことを特徴とする請求項1～3の何れか1項に記載の基準電圧回路。

【請求項5】 前記比較器の判定レベルにヒステリシスを持たせたことを特徴とする請求項1～4の何れか1項に記載の基準電圧回路。

【請求項6】 前記充電用スイッチまたは放電用スイッチをMOSトランジスタで構成したことを特徴とする請求項1～5の何れか1項に記載の基準電圧回路。

【請求項7】 請求項1～6の何れか1項に記載の基準電圧回路を用いたことを特徴とするボルテージ・レギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、携帯電話、パソコン、ファクシミリ装置などに使用されるボルテージ・レギュレータの基準電圧回路に係り、特に、出力雑音を低減でき、立ち上がりや立ち下がり時間が短く、リップル除去率が高い基準電圧回路、およびそれを用いたボルテージ・レギュレータに関する。

【0002】

【従来の技術】 図4は、従来の一般的なボルテージ・レギュレータの回路構成を示す図である。同図において、21は基準電圧源、22は誤差増幅回路（差動増幅回路）、23は出力トランジスタ、24は出力端子、R1、R2は抵抗である。基準電圧源21から出力された電圧Vrefと、出力トランジスタ23と抵抗R1、R2から検出された電圧を誤差増幅回路22で比較し、その比較結果により出力トランジスタ23を制御するようにして、出力端子24への出力電圧Voutを安定化させている。

【0003】 このときの出力電圧Voutは、 $(R1 + R2) / R2 * Vref$

10

$/ R2 * Vref$ で表わされ、Vrefに比例しているので、Vrefの変動がそのまま出力電圧の変動をもたらす。ボルテージ・レギュレータの性能を向上させるためには、リップル除去率（電源変動に対する出力電圧の変動）を改善する必要があり、特開平8-272461号公報にはそのための構成が提案されている。

10

【0004】 図5は、上記公開公報に提案された改良されたボルテージ・レギュレータの回路構成を示す図であり、基準電圧源21の出力に、抵抗Rfと容量Cfからなるローパス・フィルタ25を設けたものである。b点における電位は容量Cfへの電荷の蓄積に伴って大きくなり、容量Cfに十分電荷が蓄積されるとb点の電位は安定する。この構成により基準電圧源21のリップル除去率を改善することができ、その結果、ボルテージ・レギュレータのリップル除去率も改善することができる。

【0005】

20

【発明が解決しようとする課題】 図5の回路では、基準電圧回路出力電位の立ち上がり時間は基準電圧源21に流れる電流量で決定される。ローパス・フィルタ15として十分効果があるような抵抗Rfと容量Cfを用いて、従来の消費電流の基準電圧源を使った場合には、立ち上がりに数百msec必要であり、通信機器など高速動作が要求される用途に向いていない。

20

【0006】 また、基準電位の立ち上がり時間を短くするためには基準電圧源21に流れる電流量を大きくするか、容量値の小さい容量Cfを用いる必要があるが、基準電圧源21に流れる電流量を大きくした場合は消費電流が増大してしまい、また容量値の小さい容量Cfを用いた場合はローパス・フィルタ25の性能が低下してしまうという問題がある。

30

【0007】 本発明の目的は、上記問題点を解消し、低消費電流であることに加えて、立ち上がり時間や立ち下がり時間が短く低出力雑音特性をもつ基準電圧回路、該基準電圧回路を用いたボルテージ・レギュレータを提供することである。

30

【0008】 具体的には、請求項1記載の発明は、基準電圧の立ち上がり時間を短くし、高速動作し、さらに消費電流が小さい基準電圧回路を実現することを目的としている。また、請求項2記載の発明は、電源がオフされた場合などに基準電圧回路の出力電圧降下を高速に行えるようにし、消費電流を削減することを目的としている。

40

【0009】 また、請求項3記載の発明は、ローパス・フィルタとして十分大きさを持つ容量(C)と抵抗(R)をIC内に内蔵することが困難な場合に有効な基準電圧回路を提供することを、請求項4記載の発明は、ローパス・フィルタの特性の向上が可能な基準電圧回路を提供することを目的としている。

40

【0010】 また、請求項5記載の発明は、比較器の動作が不安定になるのを防止することが可能な基準電圧回

路を、請求項6記載の発明は充電用スイッチと放電用スイッチの具体的構成を提供することを目的とし、請求項7記載の発明は、低消費電流であることに加えて、立ち上がり時間や立ち下がり時間が短く低出力雑音特性をもつボルテージ・レギュレータを提供することを目的としている。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明請求項1記載の基準電圧回路は、基準電圧源(1)と、一方の入力端子(+)に基準電圧源(1)の出力が抵抗(R)を介して接続され、他方の入力端子(-)に前記基準電圧源(1)または該基準電圧源とは別の基準電圧源(1')の出力が接続された比較器(2)と、第1電源(Vdd)と第2電源(Vss)の間に直列接続された充電用スイッチ(SW1)と容量(C)とを有し、比較器(2)の出力が充電用スイッチ(SW1)の制御端子に接続され、充電用スイッチ(SW1)と容量(C)の接続点が比較器(2)の一方の入力端子(+)に接続され、充電用スイッチ(SW1)と容量(C)の接続点の電圧を出力基準電圧(Vout)としたことを特徴としている(図1、図2参照)。

【0012】また、請求項2記載の基準電圧回路は、請求項1記載の基準電圧回路において、さらに、前記充電用スイッチ(SW1)と容量(C)の接続点と、第2電源(Vss)との間に放電用スイッチ(SW2)を設けたことを、請求項3記載の基準電圧回路は、さらに、充電用スイッチ(SW1)、放電用スイッチ(SW2)、抵抗(R)、または容量(C)を選択的に外付けとしたことを特徴としている。

【0013】また、請求項4記載の基準電圧回路は、さらに、抵抗(R)や容量(C)を調整可能としたことを、請求項5記載の基準電圧回路は、さらに、比較器(2)の判定レベルにヒステリシスを持たせたことを、請求項6記載の基準電圧回路は、さらに、充電用スイッチ(SW1)または放電用スイッチ(SW2)をMOSトランジスタで構成したことを特徴としている。

【0014】また、本発明のボルテージ・レギュレータは、請求項1～6の何れか1項に記載の基準電圧回路を具備することを特徴としている。

【0015】さらに詳しく説明すると、本発明では、電荷を急速に充電するためのスイッチ(SW1)を設けることで、基準電圧の立ち上がり時間を短くし、高速動作する基準電圧回路を実現している(請求項1)。また本発明の基準電圧回路では電荷を急速に充電するための充電用スイッチ(SW1)がオンしている間のみ一時的に消費電流が大きく、基準電圧が立ちあがった後は充電用スイッチ(SW1)をオフすることで消費電流を小さくすることを可能にした(請求項1)。

【0016】一方、基準電圧回路がオフされるとき、その出力電圧の立ち下がり時間は容量に蓄積された電荷が

10

20

30

40

50

4

放電(ディスチャージ)される時間で決まる。容量に蓄積された電荷が基準電圧源または比較器だけを介して放電される場合、十分短い時間で基準電圧回路の出力電圧を立ち下げることができない。そこで、本発明では、放電用のスイッチ(SW2)を設けて、電源がオフされた場合などに基準電圧回路の出力電圧降下を高速に行えるようにし、消費電流を削減するようにした(請求項2)。

【0017】また、ローパス・フィルタとして十分大きさを持つ容量(C)と抵抗(R)をIC内に内蔵することが困難な場合がある。また、仮に内蔵したとしても、その内蔵された容量や抵抗の値は後から変更することはできない。同様に、スイッチもIC内蔵することが困難な場合がある。そこで抵抗、容量、充電用スイッチ、または放電用スイッチを選択的に外付けにするようにした(請求項3)。また、抵抗や容量の値を調整可能とすることで本発明の基準電圧回路の実現が容易になるとともにローパス・フィルタの特性の向上が可能になる(請求項4)。

【0018】また、比較器の判定レベルにヒステリシスを持たせたことで、比較器の動作を安定させることができる。

【0019】

【発明の実施の形態】図1は、本発明に係る基準電圧回路の一実施例を説明するための構成図である。本実施例は、図5に示した如き抵抗と容量を用いた従来の基準電圧回路に、容量を高速充電するためのスイッチと、高速放電するためのスイッチを設け、高速動作を可能にするとともに、消費電流を削減したものである。同図において、1および1'は基準電圧源、2は比較器、Rは抵抗、Cは容量であり、SW1およびSW2はそれぞれ充電用スイッチおよび放電用スイッチである。

【0020】図1は、図5の基準電圧源とローパス・フィルタからなる基準電圧回路の部分の改良構成を示したもので、それ以降の構成は図5と同じであるので省略してある。図1の基準電圧回路のB点の電圧すなわち出力電圧Voutが、図5の誤差增幅回路(差動增幅回路)22の一方の入力端子(-)に接続され、ボルテージ・レギュレータを構成するものとする。

【0021】まず、図1を用いて、立ち上がり時、すなわち充電時の動作について説明する。基準電圧回路のA点の電圧とB点の電圧を比較器2により比較し、B点の電圧がA点の電圧より低い間はスイッチSW1がオンし、容量Cに電荷が高速充電されて蓄積される。容量Cに電荷が蓄積されることによりB点の電圧がA点の電圧が等しくなるとスイッチSW1をオフにする。

【0022】これによって、図5に示したような抵抗と容量からなるローパス・フィルタを用いて出力ノイズを小さくしてリップル除去率を改善するようにした基準電圧回路においても、基準電圧の立ち上がり時間を短くで

き、高速動作が可能になる。

【0023】なお、このときの2つの基準電圧源1および1'は必ずしも等しい回路構成でなくてもよい。さらに2つの基準電圧源1および1'の出力電圧も必ずしも等しくなくてもよい。

【0024】また、上記実施例では2つの基準電圧源1および1'を用いた例を示したが、2つの基準電圧源を用いずに、単一の基準電圧源だけを用いて同様の機能を達成することができる。その場合の例を図2に示す。図2において、基準電圧源1の出力電圧を比較器2'の一方の入力とし、基準電圧源1の出力電圧を抵抗Rを介して比較器2'の他方の入力とした点以外は図1と同じ構成であり、同じ効果を有している。

【0025】次に、立ち下がり時、すなわち放電(ディスチャージ)時の動作について説明する。放電速度が遅い場合、容量Cに残っている電荷が比較器2を構成するnチャネルMOSトランジスタ(例えば、後述する図3のnチャネルMOSトランジスタ11)のゲートに加わって該nチャネルMOSトランジスタをオンにし余分の電流を消費してしまうという問題がある。

【0026】本実施例は、この問題を解消するために、容量Cの一方の端子とグランド側端子の間にスイッチSW2を設け、容量Cに蓄積された電荷をスイッチSW2を通して強制的に放電するようにしている。これにより基準電圧回路の出力電圧を高速に降下させることができ、その結果、消費電流を削減することができる。なお、このスイッチSW2をオンするタイミングは、基準電圧回路の動作を終了させるタイミング、例えばチップイネーブル信号をオフさせるタイミングなどを用いればよい。

【0027】なお、図1の抵抗R、容量CおよびスイッチSW1、SW2は必ずしもIC内蔵とする必要はなく、いずれかまたは全てをICの外付けとしても同様の効果が得られる。これにより、最適な抵抗R、容量CおよびスイッチSW1、SW2を用いることができるようになり、ローパス・フィルタの性能を向上できる。

【0028】また、抵抗Rと容量Cの値を、例えば、周知のレーザトリミング技術を用いて調整可能(可変)にすることにより、最適の値を有する抵抗Rと容量Cを使用できるようになり、ローパス・フィルタの性能を向上できる。

【0029】上記実施例では、図1において、B点の電圧がA点の電圧より低い間はスイッチSW1がオンし、B点の電圧が上昇しA点の電圧と等しくなるとスイッチSW1がオフするとして説明したが、このような電圧設定にした場合は次のような問題が生じる。

【0030】すなわち、B点の電圧が上昇しA点の電圧と等しくなりスイッチSW1がオフすると、電源Vddが加わらないため、B点の電圧は比較器2や基準電源1などで放電してA点の電圧より低下してしまうが、B点 50

の電圧がA点の電圧より低下すると、再び比較器2の出力によりスイッチSW1がオンしてA点の電圧を上昇させる。A点の電圧が上昇すると再び比較器2の出力によりスイッチSW1がオフする。このように、A点の電圧とB点の電圧が等しい付近でスイッチSW1のオンオフの繰返し現象が発生する。また、A点の電圧とB点の電圧が等しい付近では、ノイズによってもスイッチSW1のオンオフが頻繁に切り替えられてしまうことも起り得る。

10 【0031】上述したスイッチSW1のオンオフの繰返し現象をなくして出力を安定化するためには、比較器2の2つの入力電圧の判定レベルにヒステリシスを持たせればよい。図3は、2つの入力電圧の判定レベルにヒステリシスを持たせるようにした回路構成の一例を示す図である。

【0032】同図において、11, 12, 15はnチャネルMOSトランジスタ、13, 14, 16, 17はpチャネルMOSトランジスタであり、nチャネルMOSトランジスタ11とnチャネルMOSトランジスタ12のゲートサイズ(ゲート幅/ゲート長)を同一にし、pチャネルMOSトランジスタ13とpチャネルMOSトランジスタ14のゲートサイズ(ゲート幅/ゲート長(W/L))を同一にし、pチャネルMOSトランジスタ16とpチャネルMOSトランジスタ17のゲートサイズ(ゲート幅/ゲート長)を同一にする。また、pチャネルMOSトランジスタ13, 14の電流増幅率βをpチャネルMOSトランジスタ16, 17の電流増幅率βより小さくするか、pチャネルMOSトランジスタ13, 14, 16の電流増幅率βをpチャネルMOSトランジスタ17の電流増幅率βより小さくする。

【0033】この構成において、まず、立ち上がり時には、基準電圧源1'からnチャネルMOSトランジスタ11のゲートへ加わる電圧(入力端子(-))の方が、抵抗Rや容量Cを備える基準電圧源1からnチャネルMOSトランジスタ12のゲートに加わる電圧(入力端子(+))より速く立ち上がるため、nチャネルMOSトランジスタ11およびpチャネルMOSトランジスタ13, 16がオン、nチャネルMOSトランジスタ12, pチャネルMOSトランジスタ14, 17がオフとなる。このとき、nチャネルMOSトランジスタ12のドレイン電圧はインバータを介してpチャネルMOSトランジスタからなる充電用スイッチSW1をオンにし、容量Cを高速に充電する。

【0034】この充電によりnチャネルMOSトランジスタ12のゲート電圧(入力端子(+))が上昇し、nチャネルMOSトランジスタ11のゲート電圧と等しくなった時点で、nチャネルMOSトランジスタ12がオンし、pチャネルMOSトランジスタ14, 17をオン、nチャネルMOSトランジスタ11, pチャネルMOSトランジスタ13, 14をオフにする。nチャネル

MOSトランジスタ12がオンすることにより、そのドレイン電圧は低下し、スイッチSW1をオフにする。

【0035】このとき、上述したように、pチャネルMOSトランジスタ13、14の電流増幅率 β をpチャネルMOSトランジスタ16、17の電流増幅率 β より小さくしたり、pチャネルMOSトランジスタ13、14、16の電流増幅率 β をpチャネルMOSトランジスタ17の電流増幅率 β より小さくしておくことにより、nチャネルMOSトランジスタ12のゲート電圧（入力端子（+））が一旦高電圧になった後は、該入力端子（+）の電圧が低下してもpチャネルMOSトランジスタ12はオン状態を継続し充電用スイッチSW1をオフのまま保つ。このようにして入力端子（+）と入力端子（-）間の判定レベルにヒステリシスを持たせることによりスイッチSW1の動作を安定させることができる。

【0036】なお、上記例は、入力端子（+）の電圧が入力端子（-）と同じ電圧まで上昇した場合に出力が切り替わりスイッチSW1がオフするましたが、比較器の出力が切り替わる時の入力端子（+）と入力端子（-）の電圧差を自由に設定することも可能である。

【0037】例えば、図3において、比較器を構成するnチャネルMOSトランジスタ11とnチャネルMOSトランジスタ12のゲートのチャネルサイズW/L（幅/長さ）に違いを持たせ、入力端子（+）の電圧をV1と入力端子（-）の電位をV2としたとき、V2-V1が所定の値になったとき比較器の出力が切り替わるようになることができる。

【0038】一例をあげると、基準電圧源からの入力電圧（-）が3Vで、前記所定の値が0.2Vの場合を考えると、立ちあがり時（容量Cの充電時）に、入力電圧（+）は、基準電圧源からの電圧とスイッチSW1を介してVddからの電圧によって容量Cを充電しながら徐々に上がり、2.8Vになると比較器2の出力が切り替わり、スイッチSW1をオフにする。この構成により、スイッチSW1をオフに切り替える2つの入力端子の電圧差を所望のものにすることができる、本発明の基準電圧回路の設計に自由度を与えることができる。

【0039】

【発明の効果】本発明によれば、低消費電流で、立ち上がり時間や立ち下がり時間が短く低出力雑音特性を有する基準電圧回路および該基準電圧回路を用いたボルテージ・レギュレータを実現できる。

【0040】さらに詳細には、請求項1記載の発明によれば、基準電圧の立ち上がり時間が短くなつて高速動作

し、消費電流が小さい基準電圧回路を実現できる。また、請求項2記載の発明によれば、電源オフ時などに基準電圧回路の出力電圧降下を高速に行えるようにし、消費電流を削減することができる。

【0041】また、請求項3記載の発明によれば、ローパス・フィルタとして十分大きさを持つ容量（C）、抵抗（R）、スイッチなどをIC内に内蔵することが困難な場合にも外付けにすることにより、使用条件によって最適な抵抗、容量、スイッチを選ぶことが可能になり、ローパス・フィルタの性能を向上できる。さらに請求項4記載の発明によれば、容量（C）と抵抗（R）を調整可能としたことにより、ローパス・フィルタの特性の向上が可能な基準電圧回路を実現できる。

【0042】また、請求項5記載の発明によれば、比較器の2つの入力の判定レベルにヒステリシスを持たせたことにより、動作を確実に安定化することが可能な基準電圧回路が実現できる。また、請求項6記載の発明によれば、充電用スイッチと放電用スイッチをMOSトランジスタにしたことによりスイッチをICに内蔵化することができ、さらに請求項7記載の発明によれば、上記基準電圧回路を用いることにより、低消費電流で、高速動作が可能な、低出力雑音特性を有するボルテージ・レギュレータを実現できる。

【図面の簡単な説明】

【図1】本発明に係る基準電圧回路の一実施例を説明するための構成図である。

【図2】単一の基準電圧源だけを用いた図1の変形例である。

【図3】2つの入力電圧の判定レベルにヒステリシスを持たせた比較器の回路構成の一例を示す図である。

【図4】従来の一般的なボルテージ・レギュレータの回路構成を示す図である。

【図5】従来の改良されたボルテージ・レギュレータの回路構成を示す図である。

【符号の説明】

1, 1', 21：基準電圧源、

2, 2'：比較器、

11～17：MOSトランジスタ、

22：誤差増幅回路（差動増幅回路）、

23：出力トランジスタ、

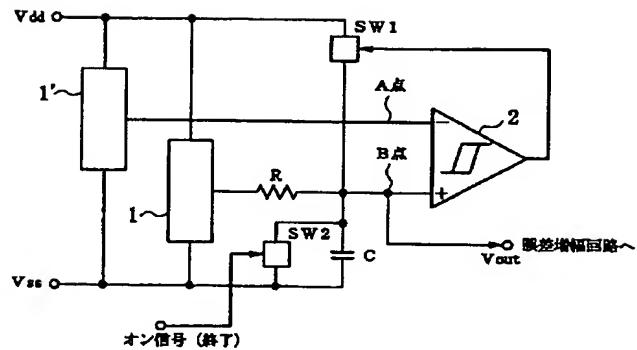
24：出力端子、

25：ローパス・フィルタ、

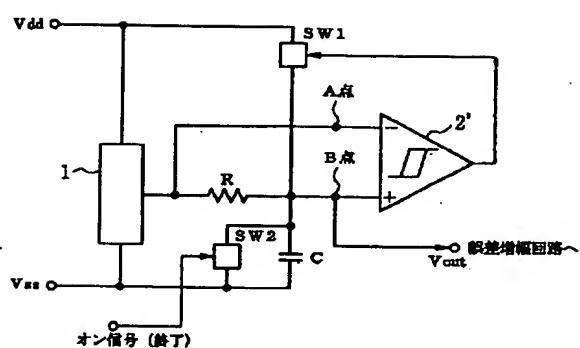
R, R1, R2, Rf, r, r1, r2, r3：抵抗、

C, Cf：容量、

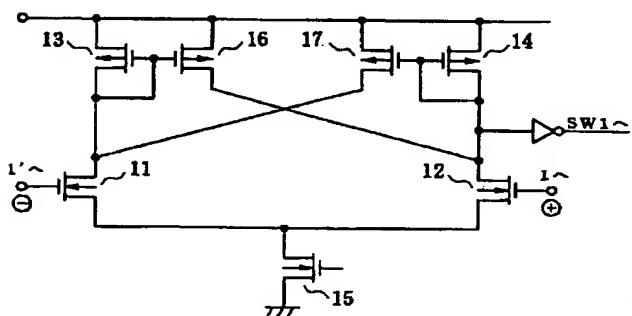
【図1】



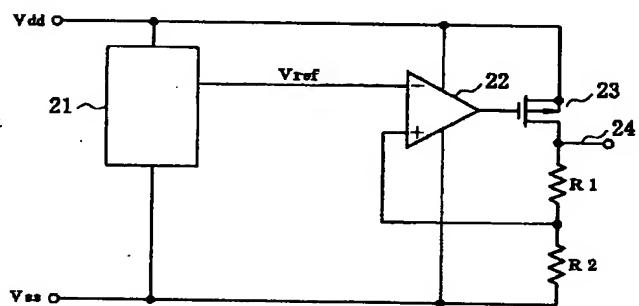
【図2】



【図3】



【図4】



【図5】

